

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274319

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/306

H01L 21/60

(21)Application number : 2000-089166

(71)Applicant : ROHM CO LTD

(22)Date of filing : 28.03.2000

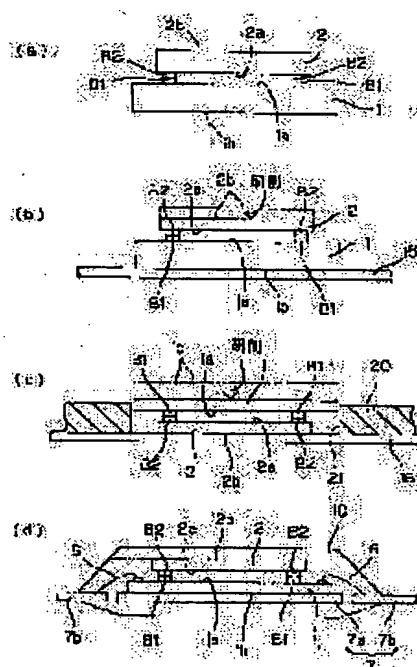
(72)Inventor : SHIBATA KAZUTAKA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of effectively thinning irrespective of a chip-on-chip structure; and its manufacturing method.

SOLUTION: A host chip 1 and a child chip 2 are bonded to each other in a state that active faces 1a, 2a are confronted to each other. A non-active face 2b of the child chip 2 is ground and further a non-active face 1b of the host chip 1 is ground. Thus, the host chip 1 and the child chip 2 joined as a chip-on-chip structure are both thinned. After that, an external connecting pad PE of the host chip 1 is connected to a lead frame 7 by a bonding wire 6, and the whole is sealed with a mold resin 10.



LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection] 27.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3476186

[Date of registration] 26.09.2003

[Number of appeal against examiner's decision of rejection] 2003-12004

[Date of requesting appeal against examiner's decision of rejection] 26.06.2003

[Date of extinction of right]

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by including the joint material which joins the activity sides of the 1st and 2nd semiconductor chips of the above to the 1st semiconductor chip thin-shape-ized by removing a non-activity side side, and the 2nd semiconductor chip thin-shape-ized by removing a non-activity side side.

[Claim 2] The manufacture approach of the semiconductor device characterized by including the process which the activity side is made to counter and joins the 2nd semiconductor chip to the activity side of the 1st semiconductor chip, the process which removes the non-activity side side of either of the 1st and 2nd joined semiconductor chips, and the process which removes the non-activity side side of another side of the 1st and 2nd semiconductor chips by which junction was carried out [above-mentioned].

[Claim 3] The manufacture approach of the semiconductor device according to claim 2 characterized by including further the process which carries out the resin seal of the 1st and 2nd semiconductor chips of the above after the non-activity side side of both 1st and 2nd semiconductor chips of the above is removed.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention makes activity sides counter and relates the 1st

semiconductor chip and 2nd semiconductor chip to the semiconductor device and its manufacture approach of the chip-on chip structure constituted by joining in them.

[0002]

[Description of the Prior Art] It is technically difficult to form a component in three dimensions on a semi-conductor substrate, and there is a limitation in improvement in the degree of integration in a semiconductor chip simple substance. Then, piling up two or more semiconductor chips, considering as the so-called chip-on chip structure, and this mounting two or more semiconductor chips in three dimensions, and realizing the semiconductor device whose degree of integration improved substantially is proposed.

[0003] Drawing 4 is the illustration-sectional view showing the example of structure of the semiconductor device of chip-on chip structure. This semiconductor device has the chip-on chip structure which carried out the laminating of the parent chip 51 and the child chip 52. The parent chip 51 and the child chip 52 make activity sides counter, respectively, and are joined. An activity side is a front face by the side of the activity surface field in the semi-conductor substrate which forms each base in the parent chip 51 and the child chip 52. An active element and passive elements, such as a transistor and resistance, are formed in this activity side. The connections 51a and 52a for electrical connection are formed in this activity side. Connections 51a and 52a consist of a bump who is the metal plate ridge prepared on the pad section in which some internal wiring was exposed from the surface protective coat (not shown), and such the pad section.

[0004] The parent chip 51 and the child chip 52 are connected electrically and mechanically through such connections 51a and 52a. The external connection pad 55 for external connection is formed near the periphery of the activity side of the parent chip 51. This external connection pad 55 is connected to the leadframe 57 through the bonding wire 56. The closure of a part of the parent chip 51, child chip 52, bonding wire 56, and leadframe 57 is carried out with mold resin 60. The leadframe 57 is pulled out from this mold resin 60, and solder connection of the drawer section of this leadframe 57 will be made at a mounting substrate.

[0005]

[Problem(s) to be Solved by the Invention] In the semiconductor device of the above chip-on chip structures, it is a fault that the height becomes high inevitably. Then, in order to attain thin shape-ization of the whole semiconductor device, carrying out grinding of the mold resin 60 is also considered. in this case, if grinding is performed from the child chip 52 side, as drawing 4 is resembled, it sets and a two-dot chain line shows, grinding must be stopped in the location which does not damage a bonding wire

56.

[0006] Therefore, there was a limitation in thin shape-ization by grinding and there was a limitation in thin shape-ization of the semiconductor device of chip-on chip structure as a result. Then, the purpose of this invention is offering the semiconductor device which can carry out [thin shape]-izing effectively, and its manufacture approach, though an above-mentioned technical technical problem is solved and it is chip-on chip structure.

[0007]

[The means for solving a technical problem and an effect of the invention] Invention according to claim 1 for attaining the above-mentioned purpose is a semiconductor device characterized by including the joint material which joins the activity sides of the 1st and 2nd semiconductor chips of the above to the 1st thin-shape-ized semiconductor chip and the 2nd semiconductor chip thin-shape-ized by removing a non-activity side side by removing a non-activity side side. According to this configuration, the non-activity side side is removed and each of the 1st semiconductor chip and 2nd semiconductor chip are thin-shape-ized, respectively. Therefore, the semiconductor device of chip-on chip structure which the activity sides of these 1st and 2nd thin-shape-ized semiconductor chips were made to counter, and was joined was thin-shape-ized extremely as a whole.

[0008] In addition, chemical mechanical polish besides the grinding which shaves off a non-activity side side mechanically, or polish, removal of the surface section by chemical etching, etc. shall be included in removal by the side of a non-activity side. The process which invention according to claim 2 makes the activity side the 2nd semiconductor chip counter in the activity side of the 1st semiconductor chip, and is joined, It is the manufacture approach of the semiconductor device characterized by including the process which removes the non-activity side side of either of the 1st and 2nd joined semiconductor chips, and the process which removes the non-activity side side of another side of the 1st and 2nd semiconductor chips by which junction was carried out [above-mentioned].

[0009] In this invention, after the 1st and 2nd semiconductor chips make activity sides counter and are joined, the non-activity side side of one of semiconductor chips is removed, and the non-activity side side of another semiconductor chip is removed further. Therefore, since-izing of each of 1st and 2nd semiconductor chips by which chip-on chip junction is carried out was carried out [thin shape], the semiconductor device of this chip-on chip structure was thin-shape-ized extremely as a whole.

[0010] After the non-activity side side of both 1st and 2nd semiconductor chips of the

above is removed, invention according to claim 3 According to this approach of being the manufacture approach of the semiconductor device according to claim 2 characterized by including further the process which carries out the resin seal of the 1st and 2nd semiconductor chips of the above Since the resin seal of the 1st and 2nd semiconductor chips joined by chip-on chip structure is carried out after the non-activity side side of both 1st and 2nd semiconductor chips is removed, removal by the side of the non-activity side of each semiconductor chip can be performed good.

[0011] In addition, as for the joint which joins the 1st and 2nd semiconductor chips, it is desirable that he is an electrical connection for carrying out electrical connection of the internal circuitries of the 1st and 2nd semiconductor chips. This electrical connection contains the pad to which internal wiring was exposed from the surface surface protective coat, the bump formed by upheaving on such a pad. Moreover, at least, the thing of either of the 1st and 2nd semiconductor chips of the above for which it has the external connection is desirable, and such an external connection may be connected to the leadframe or the wiring substrate by wirebonding. Moreover, an external connection is connected to a lead by the so-called TAB (Tape Automated Bonding) method. As for the wiring connection with an external connection, in any case, it is desirable to be carried out after the non-activity front-face side of the 1st and 2nd semiconductor chips is removed.

[0012]

[Embodiment of the Invention] Below, the gestalt of implementation of this invention is explained to a detail with reference to an accompanying drawing. Drawing 1 is a sectional view for explaining the configuration of the semiconductor device concerning the 1st operation gestalt of this invention, and its production process. This semiconductor device is equipped with the parent chip 1 and the child chip 2 as the 1st and 2nd semiconductor chips which grinding of non-activity side 1b and the 2b was carried out, and were thin-shape-ized, respectively, as shown in drawing 1 (d).

[0013] All of the parent chip 1 and the child chip 2 are silicon semiconductor chips. It is joined to these parent chips 1 and the child chip 2 in the condition of having made each activity side 1a and 2a countering mutually, and chip-on chip structure is made. The activity sides 1a and 2a are front faces by the side of the activity surface field in which components, such as a transistor, were formed in the semi-conductor substrate which forms the base of the parent chip 1 and the child chip 2. In these activity sides 1a and 2a, the pad by which electrical connection was carried out to the internal circuitry of the parent chip 1 and the child chip 2 is exposed from a surface protective coat, and is (neither is illustrated). And a bump B1 and B-2 are formed on the above-mentioned pad,

respectively. carrying out the pressure welding of these bumps B1 and B-2 mutually, and joining -- the parent chip 1 and the child chip 2 -- electric and mechanical association is attained.

[0014] Die bond of the parent chip 1 which becomes a foundation side is carried out to island section 7a of a leadframe 7. The leadframe 7 has this island section 7a and terminal area 7b for external connection. Two or more pads PE for external connection (external connection) are formed in the periphery section of the activity side of the parent chip 1, and the pad PE for this external connection is connected to terminal area 7b of a leadframe 7 through the bonding wire 6.

[0015] In such the condition, the closure of a part of terminal area 7b of island section 7a of the parent chip 1 and the child chip 2, and a leadframe 7, a bonding wire 6, and a leadframe 7 is carried out into mold resin 10. Next, if a production process is explained, like drawing 1 (a), by joining a bump B1 and B-2s, the parent chip 1 and the child chip 2 will make activity side 1a and 2a counter, and will be joined first. At this time, the parent chip 1 and the child chip 2 have respectively bigger thickness than the case of the last gestalt which each shows to drawing 1 (d).

[0016] Next, as shown in drawing 1 (b), where non-activity side 1b of the parent chip 1 is stuck on adhesive tape 15, grinding of the non-activity side 2b side of the child chip 2 is carried out using a grinder. Thereby, thin shape-ization of the child chip 2 is attained. Next, the parent chip 1 is removed from adhesive tape 15, and as shown in drawing 1 (c), non-activity side 2b after the grinding of the child chip 2 is stuck on adhesive tape 16. This holds the chip-on chip structure of the parent chip 1 and the child chip 2 on adhesive tape 16. In this condition, grinding of the non-activity side 1b side of the parent chip 1 is carried out using a grinder. Thereby, the parent chip 1 is thin-shape-ized.

[0017] In the grinding operation of this parent chip 1, chip-on chip structure will be held on adhesive tape 16 with the already thin-shape-ized child chip 2. Then, as long as it seems that the maintenance becomes unstable, you may make it support the parent chip 1 from the side using a fixture 20 if needed. As for a fixture 20, the fitting hole 21 which can fit the parent chip 1 into a band-like rigid board may be formed so that it may be shown drawing 2. In this case, two or more fitting holes 21 may be arranged, and may be formed. Since each chip-on chip structure can be held with two or more fitting holes 21 which held two or more chip-on chip structures on adhesive tape 16, and were formed in the fixture 20 by this, the grinding processing to two or more chip-on chip structures can be put in block, and can be performed.

[0018] After the grinding by the side of each ***** of the parent chip 1 and the child

chip 2 is completed, as shown in drawing 1 (d), die bond of the non-activity side 1b of the parent chip 1 is carried out to island section 7a of a leadframe 7. And the pad PE for external connection prepared in activity side 1a of the parent chip 1 is connected to terminal area 7b of a leadframe 7 by the bonding wire 6. After that, the semiconductor device of the structure where terminal area 7b of a leadframe 7 was pulled out of mold resin 10 can be obtained by closing the parent chip 1, the child chip 2, etc. by mold resin 10.

[0019] Since it is made to carry out grinding of the non-activity side 1b side of the parent chip 1 and the child chip 2, and the 2b side in advance of the packaging by external wiring connection of the parent chip 1 or mold resin 10 as mentioned above according to this operation gestalt, the chip-on chip structure where the parent chip 1 and the child chip 2 were thin-shape-ized by each can be acquired. Thereby, the whole can realize the semiconductor device thin-shape-ized extremely. Drawing 3 is an illustration-sectional view for explaining the configuration of the semiconductor device concerning the 2nd operation gestalt of this invention. This semiconductor device is equipment of the chip-on chip structure constituted by carrying out the laminating of the 1st - the 4th semiconductor chip 31-34 which consist of a silicon chip.

[0020] The 1st and 2nd semiconductor chips 31 and 32 are the same junction gestalten as the parent chip 1 and the child chip 2 in the 1st above-mentioned operation gestalt, and, more specifically, each other are joined. That is, the 1st and 2nd semiconductor chips 31 and 32 make each activity sides counter, and are joined. Moreover, with the same gestalt as the parent chip 1 and the child chip 2 in the 1st above-mentioned operation gestalt, the 3rd and 4th semiconductor chips 33 and 34 also make activity sides counter mutually, and are joined.

[0021] The laminating of such chip-on chip structure of a pair is carried out further. That is, the non-activity side of the 2nd semiconductor chip 32 and the non-activity side of the 3rd semiconductor chip 33 are joined by adhesives. The chip-on chip structure which consists of the 1st and 2nd semiconductor chips 31 and 32 is created through each process of drawing 1 (a) - (c) in the 1st above-mentioned operation gestalt, and the same process. Similarly, the chip-on chip structure which consists of the 3rd and 4th semiconductor chips 33 and 34 is also created through each process of drawing 1 (a) - (c), and the same process. Therefore, the 1st - the 4th semiconductor chip 31-34 are all thin-shape-ized by the grinding by the side of a non-activity side. Therefore, the semiconductor device of these 4 layer structures is extremely constituted by the thin shape as a whole.

[0022] The 1st semiconductor chip 31 is joined by adhesives on the wiring substrate 40.

And the pad PE 1 for external connection is formed in the activity side of the 1st semiconductor chip 31 to the periphery field. This pad PE 1 for external connection is connected to the conductor pattern on the wiring substrate 40 by the bonding wire 36. Similarly, the pad PE 2 for external connection is formed also in the periphery section of the 3rd semiconductor chip 33. And this pad PE 2 for external connection is connected to the conductor pattern on the wiring substrate 40 through the bonding wire 37.

[0023] The closure of the 1st - the 4th semiconductor chip 31-34, and the bonding wires 36 and 37 is carried out with the mold resin 45 arranged on the wiring substrate 40. The wiring substrate 40 has for example, multilayer-interconnection structure inside, and two or more external connection terminals (not shown) connected to bonding wires 36 and 37 through the above-mentioned multilayer-interconnection structure, respectively are prepared in the front face of the opposite side in the semiconductor chip 31. This external connection terminal may be the land to which the conductor pattern was exposed, and may be a solder ball arranged on such a land.

[0024] As mentioned above, also in this 2nd operation gestalt, since the 1st - the 4th semiconductor chip 31-34 are thin-shape-ized by the grinding by the side of a non-activity side, respectively, although they are the chip-on chip mold semiconductor devices of 4 layer structure, it can thin-shape-ize extremely as a whole. As mentioned above, although two operation gestalten of this invention were explained, this invention can be carried out with other gestalten. For example, in the above-mentioned 1st and the 2nd operation gestalt, as for the parent chip 1, the child chip 2, and the 1st - the 4th semiconductor chip 31-34, the whole is held in mold resin 10 and 45. However, for example, in the configuration of drawing 1 (d), even if it has exposed non-activity side 2b of the child chip 2 out of mold resin 10, it is convenient in the property. Then, grinding may be carried out until non-activity side 2b of the child chip 2 exposes mold resin 10, as an imaginary line shows drawing 1 (d), and further thin shape-ization of a semiconductor device may be attained. However, it must be stopped by this grinding in the location which does not damage a bonding wire 6.

[0025] Also in the 2nd operation gestalt shown in drawing 2, it is the same. That is, grinding of the mold resin 45 is carried out, and you may make it expose the non-activity side of the semiconductor chip 34 of the maximum upper case. Of course, grinding of mold resin 10 and 45 may be performed to extent which it is not necessary to make not necessarily expose the non-activity side of the semiconductor chip of the maximum upper case, and such a non-activity side does not expose.

[0026] Moreover, in an above-mentioned operation gestalt, although the parent chip 1,

the child chip 2 and the 1st thru/or the 4th semiconductor chip 31-34 all consist of a silicon chip, ingredients other than silicon may be applied as a semiconductor chip 1 and a semiconductor material of 2;31-34. In such other semiconductor materials, the compound semiconductor ingredient represented by a germanium semiconductor, and gallium phosphide or gallium arsenide can be illustrated.

[0027] Furthermore, all of the semiconductor chip 1 which constitutes one semiconductor device, and 2;31-34 do not need to consist of the same semiconductor material, the laminating of two or more semiconductor chips which consist of a different semiconductor material may be carried out to chip-on chip structure, and they may be held in the same mold resin package. Moreover, although the mechanical grinding which used the grinder is performing removal by the side of the non-activity side of a semiconductor chip with the above-mentioned operation gestalt, chemical mechanical polish may perform removal by the side of a non-activity side, and you may make it chemical etching remove the surface section by the side of a non-activity side.

[0028] In addition, it is possible to perform design changes various in the range of the technical matter indicated by the claim.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is an illustration-sectional view for explaining the configuration of the semiconductor device of the chip-on chip structure concerning the 1st operation gestalt of this invention, and its production process.

[Drawing 2] It is a partial perspective view for explaining the example of a configuration of the fixture used if needed in the case of the grinding of a semiconductor chip.

[Drawing 3] It is an illustration-sectional view for explaining the configuration of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 4] It is an illustration-sectional view for explaining the conventional example of a configuration of the semiconductor device of chip-on chip structure which activity sides were made to counter and was joined.

[Description of Notations]

1 Parent Chip

1a Activity side

1b Non-activity side

2 Child Chip

2a Activity side

2b Non-activity side

6 Bonding Wire

7 Leadframe

7a Island section

7b Terminal area

10 Mold Resin

15 Adhesive Tape

16 Adhesive Tape

20 Fixture

21 Fitting Hole

31-34 Semiconductor chip

36 Bonding Wire

37 Bonding Wire

40 Wiring Substrate

45 Mold Resin

B1, B-2 Bump

PE Pad for external connection

PE1 Pad for external connection

PE2 Pad for external connection

Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of effectively thinning irrespective of a chip-on-chip structure; and its manufacturing method.

SOLUTION: A host chip 1 and a child chip 2 are bonded to each other in a state that active faces 1a, 2a are confronted to each other. A non-active face 2b of the child chip 2 is ground and further a non-active face 1b of the host chip 1 is ground. Thus, the host chip 1 and the child chip 2 joined as a chip-on-chip structure are both thinned. After that, an external connecting pad PE of the host chip 1 is connected to a lead frame 7 by a bonding wire 6, and the whole is sealed with a mold resin 10.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-274319

(P2001-274319A)

(43)公開日 平成13年10月5日(2001.10.5)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 25/065

H 0 1 L 21/60

3 1 1 Q 5 F 0 4 3

25/07

25/08

B 5 F 0 4 4

25/18

21/306

M

21/306

21/60

3 1 1

審査請求 有 請求項の数3 O L (全 6 頁)

(21)出願番号

特願2000-89166(P2000-89166)

(22)出願日

平成12年3月28日(2000.3.28)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100087701

弁理士 稲岡 耕作 (外2名)

Fターム(参考) 5F043 AA02 DD16 GG10

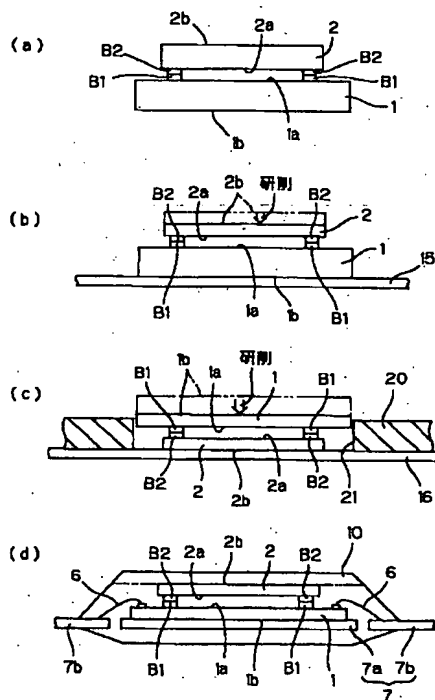
5F044 QQ00 RR02

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】チップ・オン・チップ構造でありながら効果的に薄型化できる半導体装置およびその製造方法を提供する。

【解決手段】親チップ1および子チップ2が活性面1a, 2aを対向させた状態で接合される。そして、子チップ2の非活性面2bが研削され、さらに、親チップ1の非活性面1bが研削される。こうして、チップ・オン・チップ構造に接合された親チップ1および子チップ2がいずれも薄型化されることになる。その後は、親チップ1の外部接続用パッドPEがボンディングワイヤ6によってリードフレーム7に接続され、全体がモールド樹脂10で封止される。



【特許請求の範囲】

【請求項1】非活性面側を除去することにより薄型化された第1の半導体チップと、非活性面側を除去することにより薄型化された第2の半導体チップと、

上記第1および第2の半導体チップの活性面同士を接合する接合部材とを含むことを特徴とする半導体装置。

【請求項2】第1の半導体チップの活性面に、第2の半導体チップをその活性面を対向させて接合する工程と、接合された第1および第2の半導体チップのうちのいずれか一方の非活性面側を除去する工程と、

上記接合された第1および第2の半導体チップのうちの他方の非活性面側を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】上記第1および第2の半導体チップの両方の非活性面側が除去された後に、上記第1および第2の半導体チップを樹脂封止する工程をさらに含むことを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、第1の半導体チップと第2の半導体チップとを、活性面同士を対向させて接合して構成されるチップ・オン・チップ構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体基板上に三次元的に素子を形成するのは技術的に困難であり、半導体チップ単体での集積度の向上には限界がある。そこで、複数の半導体チップを重ね合わせて、いわゆるチップ・オン・チップ構造とし、これにより複数の半導体チップを三次元的に実装して、実質的に集積度の向上された半導体装置を実現することが提案されている。

【0003】図4は、チップ・オン・チップ構造の半導体装置の構造例を示す図解的な断面図である。この半導体装置は、親チップ51と子チップ52とを積層したチップ・オン・チップ構造を有している。親チップ51と子チップ52とは、それぞれ活性面同士を対向させて接合されている。活性面とは、親チップ51および子チップ52において、それぞれの基体をなす半導体基板における活性表層領域側の表面である。この活性面には、トランジスタや抵抗などの能動素子および受動素子が形成されている。この活性面には、電気接続のための接続部51a、52aが設けられている。接続部51a、52aは、内部配線の一部を表面保護膜（図示せず）から露出させたパッド部およびこのようなパッド部上に設けられた金属板隆起部であるバンプなどからなる。

【0004】このような接続部51a、52aを介して親チップ51と子チップ52とが電気的および機械的に接続されている。親チップ51の活性面の周縁付近には、外部接続のための外部接続パッド55が設けられて

いる。この外部接続パッド55は、ボンディングワイヤ56を介して、リードフレーム57に接続されている。親チップ51、子チップ52、ボンディングワイヤ56、およびリードフレーム57の一部は、モールド樹脂60により封止されている。このモールド樹脂60からリードフレーム57が引き出されており、このリードフレーム57の引き出し部が、実装基板に半田接続されることになる。

【0005】

【発明が解決しようとする課題】上記のようなチップ・オン・チップ構造の半導体装置では、その高さが必然的に高くなるのが欠点である。そこで、半導体装置全体の薄型化を図るために、モールド樹脂60を研削することもある。この場合、子チップ52側から研削を行うとすれば、図4ににおいて二点鎖線で示すように、ボンディングワイヤ56を傷つけることのない位置で、研削を停止しなければならない。

【0006】したがって、研削による薄型化には限界があり、結果的に、チップ・オン・チップ構造の半導体装置の薄型化には限界があった。そこで、この発明の目的は、上述の技術的課題を解決し、チップ・オン・チップ構造でありながら効果的に薄型化できる半導体装置およびその製造方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、非活性面側を除去することにより薄型化された第1の半導体チップと、非活性面側を除去することにより薄型化された第2の半導体チップと、上記第1および第2の半導体チップの活性面同士を接合する接合部材とを含むことを特徴とする半導体装置である。この構成によれば、第1の半導体チップおよび第2の半導体チップはいずれも非活性面側が除去されていてそれぞれ薄型化されている。したがって、これらの薄型化された第1および第2の半導体チップの活性面同士を対向させて接合されたチップ・オン・チップ構造の半導体装置は、全体として極めて薄型化されたものとなる。

【0008】なお、非活性面側の除去には、非活性面側を機械的に削り取る研削または研磨のほか、化学的機械的研磨や、化学的なエッチングによる表層部の除去などが含まれるものとする。請求項2記載の発明は、第1の半導体チップの活性面に、第2の半導体チップをその活性面を対向させて接合する工程と、接合された第1および第2の半導体チップのうちのいずれか一方の非活性面側を除去する工程と、上記接合された第1および第2の半導体チップのうちの他方の非活性面側を除去する工程とを含むことを特徴とする半導体装置の製造方法である。

【0009】この発明では、第1および第2の半導体チップが活性面同士を対向させて接合された後、いずれか

の半導体チップの非活性面側が除去され、さらにもう一方の半導体チップの非活性面側が除去される。したがって、チップ・オン・チップ接合される第1および第2の半導体チップを、いずれも薄型化できるので、このチップ・オン・チップ構造の半導体装置は、全体として極めて薄型化されたものとなる。

【0010】請求項3記載の発明は、上記第1および第2の半導体チップの両方の非活性面側が除去された後に、上記第1および第2の半導体チップを樹脂封止する工程をさらに含むことを特徴とする請求項2記載の半導体装置の製造方法であるこの方法によれば、第1および第2の半導体チップの両方の非活性面側が除去された後にチップ・オン・チップ構造に接合された第1および第2の半導体チップが樹脂封止されるので、各半導体チップの非活性面側の除去を良好に行うことができる。

【0011】なお、第1および第2の半導体チップを接合する接合部は、第1および第2の半導体チップの内部回路同士を電気接続するための電気接続部であることが好ましい。この電気接続部は、内部配線を表面表面保護膜から露出させたパッドや、このようなパッド上に隆起して形成されたバンプなどを含む。また、上記第1および第2の半導体チップの少なくともいずれか一方は、外部接続部を有していることが好ましく、このような外部接続部は、ワイヤボンディングによってリードフレームや配線基板に接続されていてもよい。また外部接続部は、いわゆるTAB (Tape Automated Bonding) 方式によって、リードに接続されるようになっていてもよい。いずれの場合にも、外部接続部への配線接続は、第1および第2の半導体チップの非活性表面側が除去された後に行われることが好ましい。

【0012】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の第1の実施形態に係る半導体装置の構成およびその製造工程を説明するための断面図である。この半導体装置は、図1(d)に示すように、それぞれ非活性面1b、2bが研削されて薄型化された第1および第2の半導体チップとしての親チップ1および子チップ2を備えている。

【0013】親チップ1および子チップ2は、たとえばいずれもシリコン半導体チップである。これらの親チップ1および子チップ2にはそれぞれの活性面1a、2aを互いに対向させた状態で接合されて、チップ・オン・チップ構造をなしている。活性面1a、2aは、親チップ1および子チップ2の基体をなす半導体基板において、トランジスタなどの素子が形成された活性表層領域側の表面である。これらの活性面1a、2aにおいては、親チップ1および子チップ2の内部回路と電気接続されたパッドが表面保護膜から露出させられている（いずれも図示せず）。そして、上記パッド上にバンプB1、

B2がそれぞれ形成されている。これらのバンプB1、B2を互いに圧接して接合することにより、親チップ1および子チップ2の電気的および機械的結合が達成されている。

【0014】土台側となる親チップ1は、リードフレーム7のアイランド部7aにダイボンディングされている。リードフレーム7は、このアイランド部7aと、外部接続のための端子部7bとを有している。親チップ1の活性面の周縁部には、外部接続用のパッドPE（外部接続部）が複数個設けられており、この外部接続用のパッドPEは、ボンディングワイヤ6を介してリードフレーム7の端子部7bに接続されている。

【0015】このような状態で、親チップ1および子チップ2、リードフレーム7のアイランド部7a、ボンディングワイヤ6、ならびにリードフレーム7の端子部7bの一部が、モールド樹脂10内に封止されている。次に製造工程について説明すると、まず、図1(a)のように、親チップ1と子チップ2とが、バンプB1、B2同士を接合することにより、活性面1a、2a同士を対向させて接合される。このとき、親チップ1および子チップ2は、いずれも図1(d)に示す最終形態の場合よりもそれぞれ大きな厚みを有している。

【0016】次に、図1(b)に示すように、親チップ1の非活性面1bを粘着テープ15に貼り付けた状態で、子チップ2の非活性面2b側が、たとえばグラインダを用いて研削される。これにより、子チップ2の薄型化が達成される。次に、粘着テープ15から親チップ1を剥がし、図1(c)に示すように、子チップ2の研削後の非活性面2bを粘着テープ16に貼り付ける。これにより、親チップ1および子チップ2のチップ・オン・チップ構造を粘着テープ16上に保持する。この状態で、親チップ1の非活性面1b側が、たとえばグラインダーを用いて研削される。これにより、親チップ1が薄型化される。

【0017】この親チップ1の研削工程においては、すでに薄型化された子チップ2により、チップ・オン・チップ構造を粘着テープ16上に保持することになる。そこで、その保持が不安定になるようであれば、必要に応じて治具20を用いて、親チップ1を側方から支持するようにしてもよい。治具20は、たとえば図2示すように、帯状の剛性板体に親チップ1を嵌合し得る嵌合孔21が形成されたものであってもよい。この場合に、嵌合孔21を複数個配列して形成しておいてもよい。これにより、粘着テープ16上に複数個のチップ・オン・チップ構造を保持し、かつ、治具20に形成された複数個の嵌合孔21でそれぞれのチップ・オン・チップ構造を保持することができるから、複数個のチップ・オン・チップ構造に対する研削処理を一括して行うことができる。

【0018】親チップ1および子チップ2の各非活性面側の研削が終了した後は、図1(d)に示すように、親

チップ1の非活性面1bをリードフレーム7のアイランド部7aにダイボンドする。そして、親チップ1の活性面1aに設けられた外部接続用パッドPEを、ボンディングワイヤ6でリードフレーム7の端子部7bに接続する。その後、モールド樹脂10で親チップ1および子チップ2などを封止することによって、リードフレーム7の端子部7bがモールド樹脂10外に引き出された構造の半導体装置を得ることができる。

【0019】以上のようにこの実施形態によれば、親チップ1の外部配線接続やモールド樹脂10によるパッケージングに先だて、親チップ1および子チップ2の非活性面1b、2b側を研削するようにしているので、親チップ1および子チップ2がいずれも薄型化されたチップ・オン・チップ構造を得ることができる。これにより、全体が極めて薄型化された半導体装置を実現することができる。図3は、この発明の第2の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この半導体装置は、たとえば、シリコンチップからなる第1～第4の半導体チップ31～34を積層して構成されたチップ・オン・チップ構造の装置である。

【0020】より具体的には、第1および第2の半導体チップ31、32は、上述の第1の実施形態における親チップ1および子チップ2と同様の接合形態で、互いに接合されている。すなわち、第1および第2の半導体チップ31、32は、それぞれの活性面同士を対向させて接合されている。また、第3および第4の半導体チップ33、34もまた、上述の第1の実施形態における親チップ1および子チップ2と同様の形態で、活性面同士を互に対向させて接合されている。

【0021】このような一対のチップ・オン・チップ構造が、さらに積層されている。すなわち、第2の半導体チップ32の非活性面と第3の半導体チップ33の非活性面とが、例えば接着剤によって接合されている。第1および第2の半導体チップ31、32で構成されるチップ・オン・チップ構造は、上述の第1の実施形態における図1(a)～(c)の各工程と同様の工程を経て作成されている。同様に、第3および第4の半導体チップ33、34で構成されるチップ・オン・チップ構造も、図1(a)～(c)の各工程と同様の工程を経て作成されている。したがって、第1～第4の半導体チップ31～34は、いずれも、非活性面側の研削によって薄型化されている。そのため、この4層構造の半導体装置は、全体として、極めて薄型に構成されている。

【0022】第1の半導体チップ31は、配線基板40上にたとえば接着剤によって接合されている。そして、第1の半導体チップ31の活性面には、外部接続用のパッドPE1がその周縁領域に形成されている。この外部接続用パッドPE1は、ボンディングワイヤ36によって配線基板40上の導体パターンに接続されている。同様に、第3の半導体チップ33の周縁部にも、外部接続

用パッドPE2が設けられている。そして、この外部接続用パッドPE2は、ボンディングワイヤ37を介して、配線基板40上の導体パターンに接続されている。

【0023】第1～第4の半導体チップ31～34およびボンディングワイヤ36、37は、配線基板40上に配置されるモールド樹脂45により封止されている。配線基板40は、たとえば、多層配線構造を内部に有していて、半導体チップ31とは反対側の表面には、上記多層配線構造を介してボンディングワイヤ36、37にそれぞれ接続された外部接続端子（図示せず）が複数個設けられている。この外部接続端子は、導体パターンを露出させたランドであってもよいし、このようなランド上に配置された半田ボールなどであってもよい。

【0024】以上のように、この第2の実施形態においても、第1～第4の半導体チップ31～34が、非活性面側の研削によってそれぞれ薄型化されているので、4層構造のチップ・オン・チップ型半導体装置であるにもかかわらず、全体として極めて薄型化することができる。以上、この発明の2つの実施形態について説明したが、この発明は他の形態でも実施することができる。たとえば、上述の第1および第2の実施形態においては、親チップ1および子チップ2ならびに第1～第4の半導体チップ31～34は、全体がモールド樹脂10、45内に収容されている。しかし、たとえば、図1(d)の構成においては、子チップ2の非活性面2bは、モールド樹脂10外に露出しているもその特性に支障はない。そこで、図1(d)において仮想線で示すように、モールド樹脂10を子チップ2の非活性面2bが露出するまで研削して、半導体装置のさらなる薄型化を図ってもよい。ただし、この研削は、ボンディングワイヤ6を傷つけることがない位置で停止されなければならない。

【0025】図2に示された第2の実施形態においても同様である。すなわち、モールド樹脂45を研削して、最上段の半導体チップ34の非活性面を露出させるようにしてもよい。むしろ、最上段の半導体チップの非活性面を必ずしも露出させる必要はなく、このような非活性面が露出しない程度までモールド樹脂10、45の研削が行われてもよい。

【0026】また、上述の実施形態においては、親チップ1および子チップ2ならびに第1ないし第4の半導体チップ31～34がいずれもシリコンチップからなっていることとしたけれども、半導体チップ1、2；31～34の半導体材料としてシリコン以外の材料を適用してもよい。このような他の半導体材料には、ゲルマニウム半導体や、ガリウム燐またはガリウム砒素に代表される化合物半導体材料を例示することができる。

【0027】さらに、1つの半導体装置を構成する半導体チップ1、2；31～34は、全て同一半導体材料からなっている必要はなく、異なる半導体材料からなる複数の半導体チップがチップ・オン・チップ構造に積層さ

れて同一モールド樹脂パッケージ内に收容されてもよい。また、上述の実施形態では、半導体チップの非活性面側の除去をグラインダーを用いた機械的な研削により行っているが、化学的機械的研磨により非活性面側の除去を行ってもよいし、化学的なエッチングによって非活性面側の表層部を除去するようにしてもよい。

【0028】その他、特許請求の範囲に記載された技術的事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施形態に係るチップ・オン・チップ構造の半導体装置の構成およびその製造工程を説明するための図解的な断面図である。

【図2】半導体チップの研削の際に必要なに応じて使用される治具の構成例を説明するための部分斜視図である。

【図3】この発明の第2の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

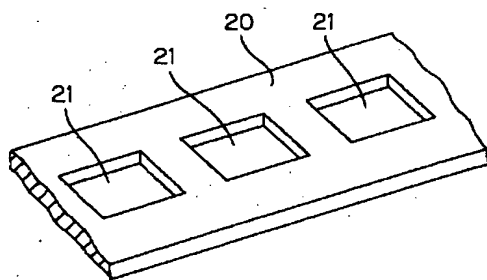
【図4】活性面同士を対向させて接合したチップ・オン・チップ構造の半導体装置の従来の構成例を説明するための図解的な断面図である。

【符号の説明】

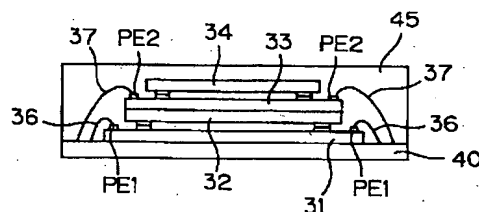
1 親チップ
1 a 活性面

1 b 非活性面
2 子チップ
2 a 活性面
2 b 非活性面
6 ボンディングワイヤ
7 リードフレーム
7 a アイランド部
7 b 端子部
10 モールド樹脂
15 粘着テープ
16 粘着テープ
20 治具
21 嵌合孔
31～34 半導体チップ
36 ボンディングワイヤ
37 ボンディングワイヤ
40 配線基板
45 モールド樹脂
B1, B2 バンプ
PE 外部接続用パッド
PE1 外部接続用パッド
PE2 外部接続用パッド

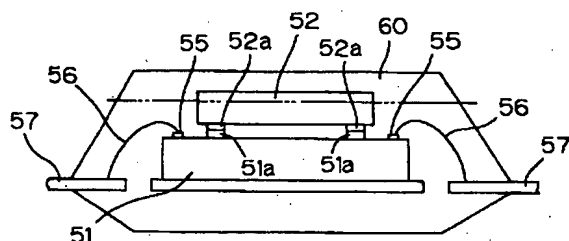
【図2】



【図3】



【図4】



【図1】

